

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-266517
 (43)Date of publication of application : 31.10.1990

(51)Int.Cl.

H01L 21/28
 H01L 21/302

(21)Application number : 01-087479
 (22)Date of filing : 06.04.1989

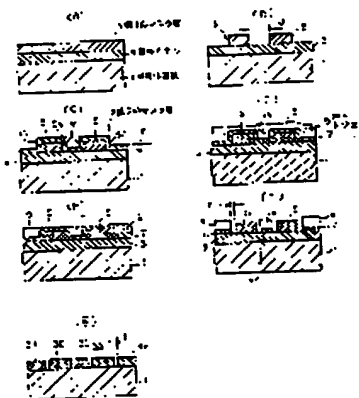
(71)Applicant : ROHM CO LTD
 (72)Inventor : MITSUMOTO KAZUFUMI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve yield and throughput at the time of the formation of a fine pattern by executing specific etching while using the mask layers of three layers on a layer to be etched formed onto a semiconductor substrate as masks.

CONSTITUTION: A first mask layer 5 is patterned through photolithographic treatment, a second mask layer 7 in thickness thinner than the pattern interval (d) of the layer 5 is applied and a sidewall section 7A is shaped, and the width (h) of the sidewall section of the second mask layer 7 is made smaller than the pattern interval (d). A third mask layer 9 is applied onto the second mask layer 7. The selection ratios of etching of each mask layer 5, 7, 9 differ, and the top face of a layer to be etched in the sidewall section 7A is exposed when only the second mask layer 7 is removed selectively through a specified etching process. Etching is conducted while using the residual first mask layer 5 and third mask layer 9 as masks. Accordingly, yield is improved and throughput is also enhanced when a fine pattern is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-266517

⑬ Int. Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月31日

H 01 L 21/28
21/302

Z 7738-5F
J 8223-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-87479

⑰ 出 願 平1(1989)4月6日

⑱ 発 明 者 三 本 和 文 京都府京都市右京区西院溝崎町21番地 ローム株式会社内
⑲ 出 願 人 ローム株式会社 京都府京都市右京区西院溝崎町21番地
⑳ 代 理 人 弁理士 安倍 逸郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板上に形成した被エッチング層上に第1のマスク層を被着する工程と、

第1のマスク層の一部を除去して該第1のマスク層を被エッチング層上に所定間隔で残す工程と、

この被エッチング層および第1のマスク層上に、第2のマスク層を上記間隔よりも小さい厚さに被着することにより、第1のマスク層の側壁を第2のマスク層の側壁部によって被覆する工程と、

この対向する側壁部の間の第2のマスク層に第3のマスク層を被着する工程と、

第2のマスク層の側壁部を選択的に除去することにより被エッチング層の上面の一部を露出させる工程と、

これらの第1のマスク層および第3のマスク層をマスクとして被エッチング層をエッチングする

工程と、を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

<産業上の利用分野>

この発明は半導体装置の製造方法、例えばR1Eを用いた微細電極パターンの加工方法に関する。

<従来の技術>

従来のこの種の半導体装置の製造方法としては、例えば第2図(a)~(c)に示すような方法があった。これはバイポーラトランジスタの電極パターンの形成方法を示している。

まず、同図(a)に示すように、半導体装置(図示していない)が形成された半導体基板1の上に例えばアルミニウム等の電極メタル3を被着し、このメタル3の上にホトレジスト9を塗布する。

次いで、同図(b)に示すように、周知のホトリソグラフ処理によってこのホトレジスト9を所定の間隔d(2μm程度)でパターンニングして電

極メタル3の表面の一部を露出させる。

そしてこの後、同図(c)に示すように、このホトリソグラフ9をマスクとして電極メタル3をエッチングし、ホトリソグラフを除去することにより、所望の電極パターンを得ていた。図において3A、3B、3Cは例えばベース、エミッタ、コレクタの各電極を示している。

〈発明が解決しようとする課題〉

しかしながら、このような従来の半導体装置の製造方法にあつては、各電極の間隔dはホトリソグラフの精度、すなわちこの処理に使用されるホトリソグラフ装置の性能等に大きく依存していた。この結果、微細パターンを得るには高級なホトリソグラフ装置を用いなければならず、歩留りが低く、そのスループットも低く、更に装置のメンテナンスが煩雑である等の問題点があつた。

本発明の目的は、微細パターンの形成にあつて、歩留りが高く、スループット等も改善された半導体装置の製造方法を提供することにある。

のホトリソグラフ処理によって第1のマスク層をパターンニングする。この場合のパターン間隔は従来と同じ程度でもよい。そして、この上に上記パターン間隔よりも厚さの薄い第2のマスク層を被着して側壁部を形成する。この第2のマスク層の側壁部の幅は上記パターン間隔よりも小さいものである。

そして、第2のマスク層の対向する側壁部間にあつて第2のマスク層上に第3のマスク層を被着する。

この場合の第1、第2、第3の各マスク層はエッチングの選択比が異なっている。

したがって、所定のエッチングプロセスによって第2のマスク層のみを選択的に除去すると、該側壁部の被エッチング層の上面が露出される結果となる。この後、残った第1のマスク層と第3のマスク層とをマスクとしてエッチングを行うことにより、所望の微細パターンが形成されるものである。

〈課題を解決するための手段〉

本発明に係る半導体装置の製造方法は、半導体基板上に形成した被エッチング層上に第1のマスク層を被着する工程と、第1のマスク層の一部を除去して該第1のマスク層を被エッチング層上に所定間隔で残す工程と、この被エッチング層および第1のマスク層上に、第2のマスク層を上記間隔よりも小さい厚さに被着することにより、第1のマスク層の側壁を第2のマスク層の側壁部によって被覆する工程と、この対向する側壁部の間の第2のマスク層に第3のマスク層を被着する工程と、第2のマスク層の側壁部を選択的に除去することにより被エッチング層の上面の一部を露出させる工程と、これらの第1のマスク層および第3のマスク層をマスクとして被エッチング層をエッチングする工程と、を含むことを特徴としている。

〈作用〉

本発明に係る半導体装置の製造方法では、周知

〈実施例〉

以下、本発明に係る半導体装置の製造方法の一実施例を図面に基づいて説明する。この実施例はバイポーラトランジスタにあつて電極パターンを形成するものである。

第1図(a)において示すように、半導体基板1上に被着した被エッチング層としての例えばアルミニウムからなる電極メタル3上には、例えば二酸化シリコン(SiO_2)からなる第1のマスク層5が被着される。この第1のマスク層5の厚さは所定の厚さである。

次に、周知のホトリソグラフ工程を用いて第1のマスク層5をエッチングする。この結果、第1のマスク層5はこの電極メタル3の上に所定のパターン幅の間隔dで残される(同図(b))。

そして次に、この電極メタル3の上面および残った第1のマスク層5上に、例えば窒化珪素膜(SiN)からなる第2のマスク層7を所定の厚さhに例えばCVD法によって堆積、被着する(同図(c))。この厚さhは上記間隔dよりも小さ

いものである。例えば $d = 2 \mu m$ とした場合には(3) 膜厚 h は $0.4 \mu m$ とすることが容易である。また、この第2のマスク層7の電極メタル3に対する選択比は、第2のマスク層7の第1のマスク層5に対する選択比よりも大きいものとしている。

この結果、上記第1のマスク層5の側壁面5A(および上面)には一定厚さ h の第2のマスク層7の側壁部7Aが被着される。

この第2のマスク層7の上面に例えばスピニングによって第3のマスク層であるホトレジスト9を所定の厚さにまで被着する。すなわち、第2のマスク層7の対向する側壁部7A、7A間の第2のマスク層7上にホトレジスト9が堆積されるようにホトレジスト9を塗布する(同図(d))。

この後、ホトレジスト9の上面をエッチングして平坦面にして、第1のマスク層5の上に配設された第2のマスク層7の上面を露出させる。すなわち、第2のマスク層7の側壁部7A、7A間のホトレジスト9を残してホトレジスト9は除去さ

れる(同図(e))。

そして、反応性イオンエッチング等のドライエッチングを用いてこの第2のマスク層7のみを選択的に除去する。この結果、被エッチング層である電極メタル3の上面の一部が所定の幅 h で露出させられる(同図(f))。この露出幅 h は第2のマスク層7の側壁部7Aの厚さに対応するものである。また、第1のマスク層5の上面の第2のマスク層7もエッチングによって除去されているが、ホトレジスト9の下のもれ7は残っている。

そして、電極メタル3上に残ったこれらの第1のマスク層5およびホトレジスト9(第2のマスク層7の上の部分)をマスクとして電極メタル3をエッチングする。この結果、半導体装置にあっては、半導体基板1上に微細幅 h (例えば $0.4 \mu m$)の間隔で形成された複数の電極3A、3B、3C、3D、3Eが形成される(同図(g))。

なお、本発明方法にあっては、上記実施例に限られることなく、例えばコンタクトホールの形成にも適用することができる。この場合は、二酸化

シリコン膜が例えば被エッチング層とされる。

〈発明の効果〉

以上説明したように、本発明に係る半導体装置の製造方法にあっては、微細パターンの形成に歩留りが向上し、スループットも改善される。逆に従来と同じ程度のパターン形成であればマスクのコストダウンができる。

4. 図面の簡単な説明

第1図(a)～(g)は本発明の一実施例に係る半導体装置の製造方法の各工程を説明するための断面図、第2図(a)～(c)は従来のこの種の半導体装置の製造方法を示す工程説明のための断面図である。

1 半導体基板、
3 電極メタル
(被エッチング層)。

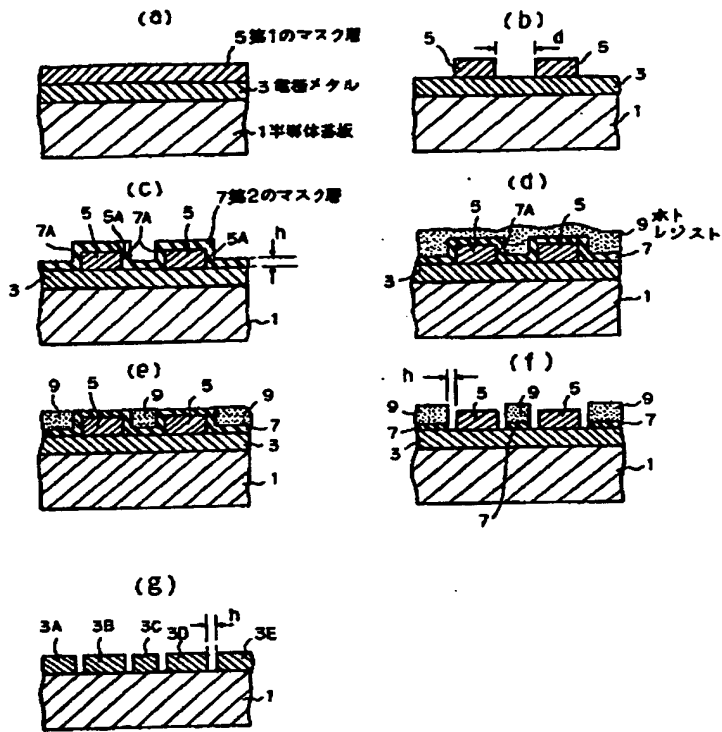
5 第1のマスク層
(二酸化シリコン)、
5A 側壁、
7 第2のマスク層
(窒化珪素)、
7A 側壁部、
9 ホトレジスト
(第3のマスク層)。

特許出願人
代理人

ローム 株式会社
弁理士 安倍 逸郎

(4)

第1図



第2図

